計算機組織 Midterm Project

ALU Design

老師：朱守禮老師

組別：第10組

學生：11027112 陳逸駿

11027140 陳芃睿

11027147 邱峻彥

11027149 游婕歆

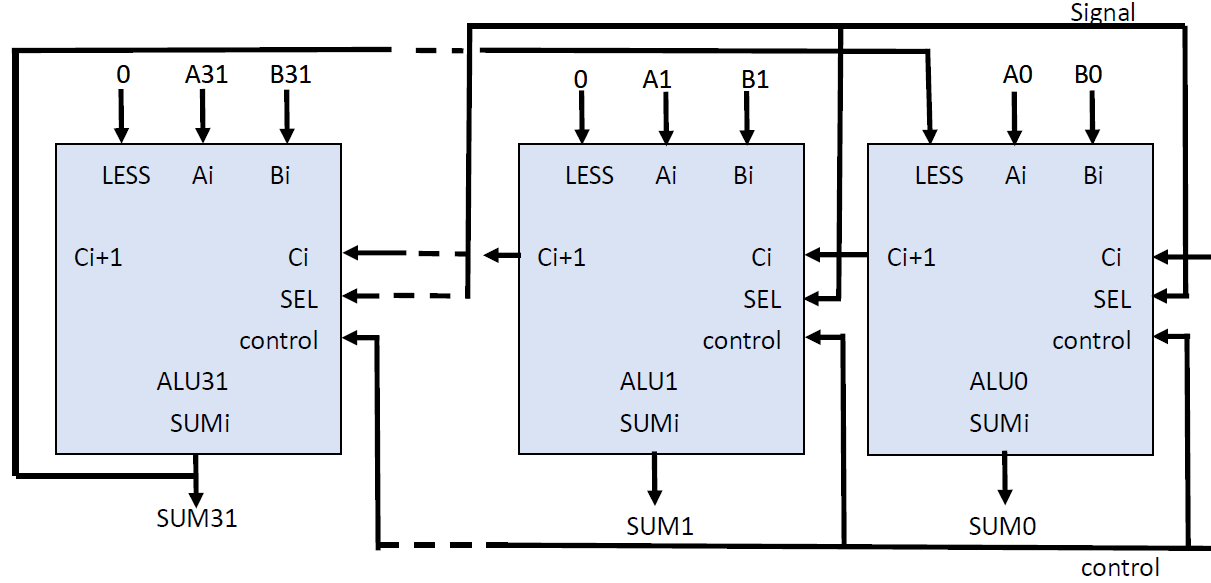
**1.背景**

使用Verilog和modelsim並用課程講義的方法為基礎，設計ALU與乘法器。功能包含AND, OR, ADD, SUB, SLT, SRL(邏輯右移), MULTU(無號數乘法)。

**2.設計重點說明**

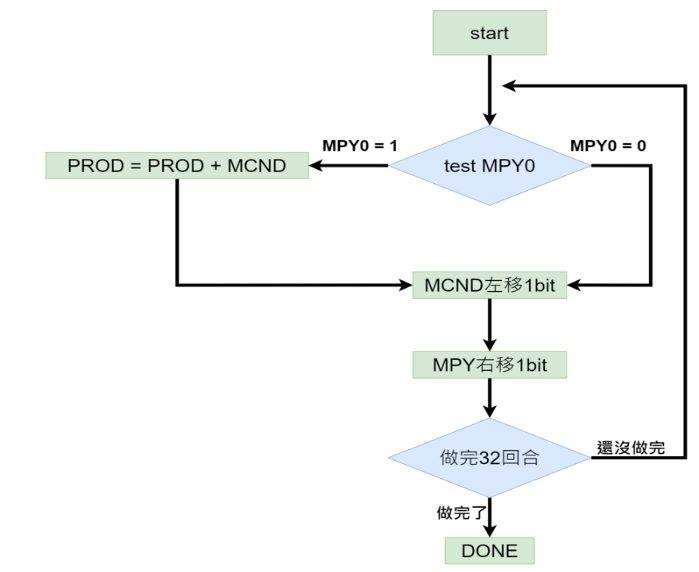
**(1)ALU**

使用Gate-Level Modeling和Data Flow Modeling設計包含32-bits AND, OR, ADD, SUB, SLT功能，先做出一個1-bit Full Adder (FA)，並以 Ripple-Carry 的進位方式，連接32個1-bit ALU 就可以組成32-bit ALU。ALU Control的Signal可以決定要輸出哪種運算結果。第1個ALU的Less是第31個ALU的Sum給它，第2到31個ALU 的Less輸入都是0，因為第31個ALU的Sum31是符號位元，如果是1代表負也就代表A<B，如果是0代表正也就代表A>=B。為了解決減法的問題，在input中多了一個Control來處理減法，利用A+(-B)的方式來完成。模組為循序邏輯。

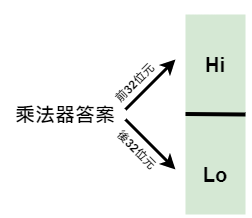


**(2)乘法器**

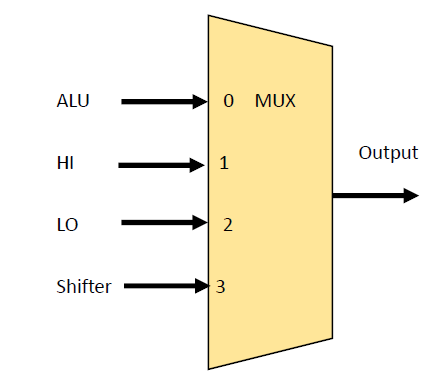
32-bits 無號數乘法 Sequential Multiplier，使用課本的第一版乘法器來實作。透過乘數是否為0判斷要不要做PRODUCT = PRODUCT + 被乘數，判斷完後再把被乘數左移1bit、乘數右移1 bit，進行32回合後就可以得到答案。模組為循序邏輯。



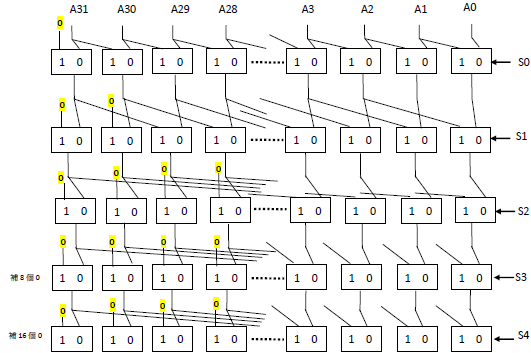
**(3) HiLo暫存器**

乘法器計算完後，把乘法器答案儲存在這，答案的前32bit存在Hi後32bit存在Lo。模組為循序邏輯(Sequential Logic)

**(4) Mux**

以 Data Flow Modeling 設計。用(?:)條件判斷，做出if-else和case選擇。本模組為組合邏輯 (Combinational Logic)。

**(5) Shifter**

設計32 bits Barrel Shifter來完成邏輯右移運算，以課程講義描述方式設計，用DataFlow Modeling完成，模組為循序邏輯(Sequential Logic)。總共需要設計出五層，每層32個2對1多工器，共有160個2對1多工器來實現Shifter的功能。第一層右移1補1個0、第二層右移2補2個0、第三層右移4補4個0、第四層右移8補8個0、第五層右移16補16個0。

**(6) ALU Control**

根據輸入的6-bit Signal，決定該完成AND, OR, ADD, SUB, SLT, SRL, MULTU哪一種運算。控制訊號與功能對應如下：

Signal : 6-bit Value (Decimal)

---------------------------------------------------------

AND : 36

OR : 37

ADD : 32

SUB : 34

SLT : 42

SRL : 02

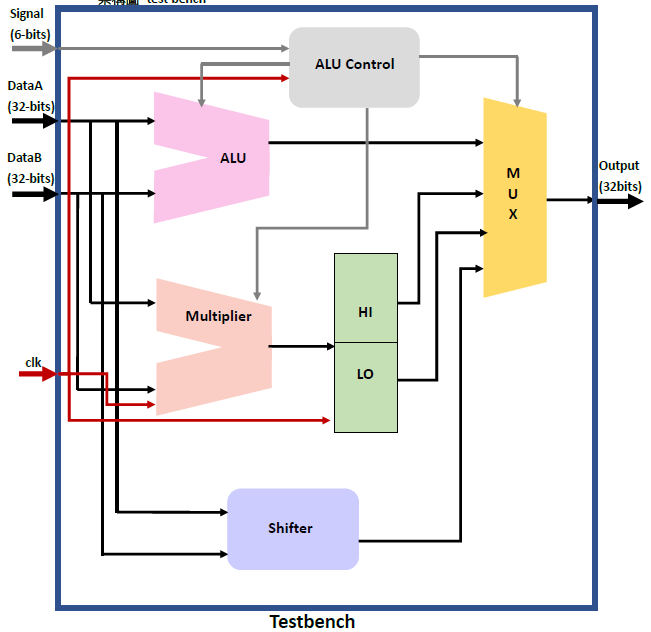
MULTU : 25

**(7) Testbench**

所有module之測試平台，讀入測試資料。以驗證所設計之模組，功

能正確性。

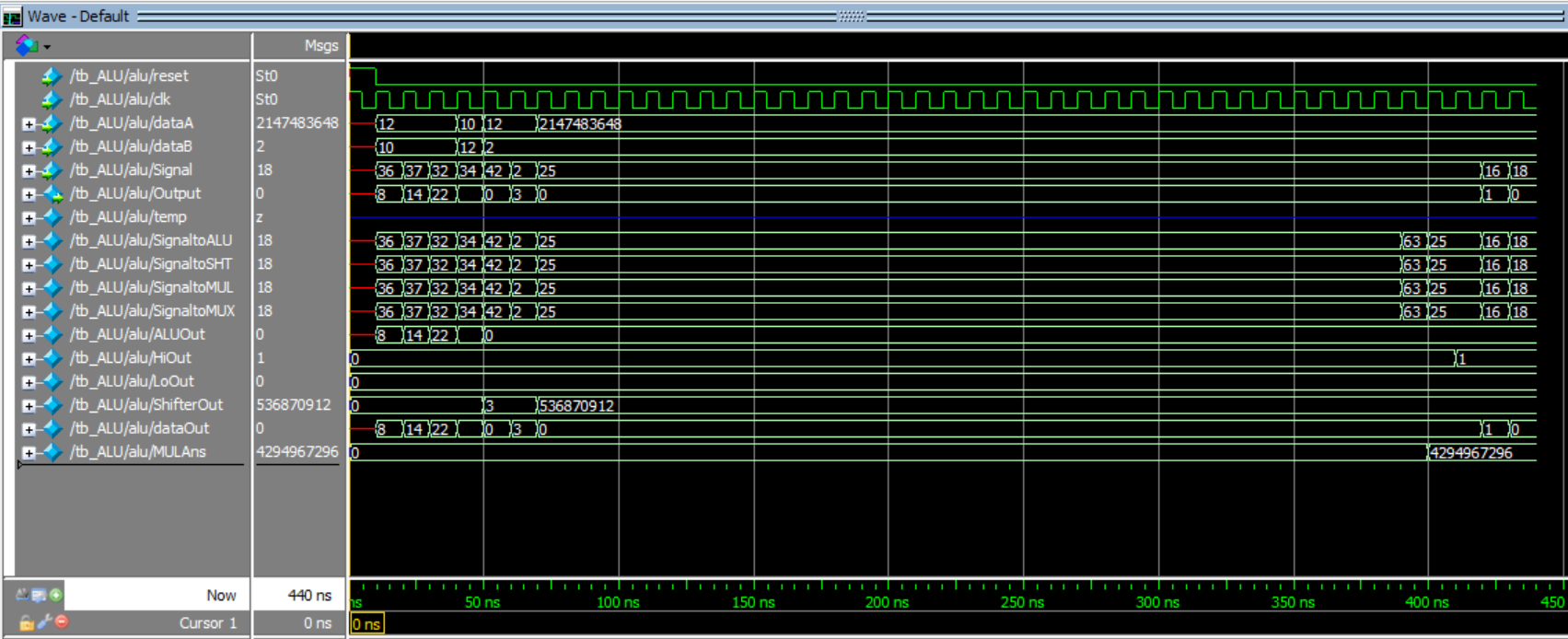
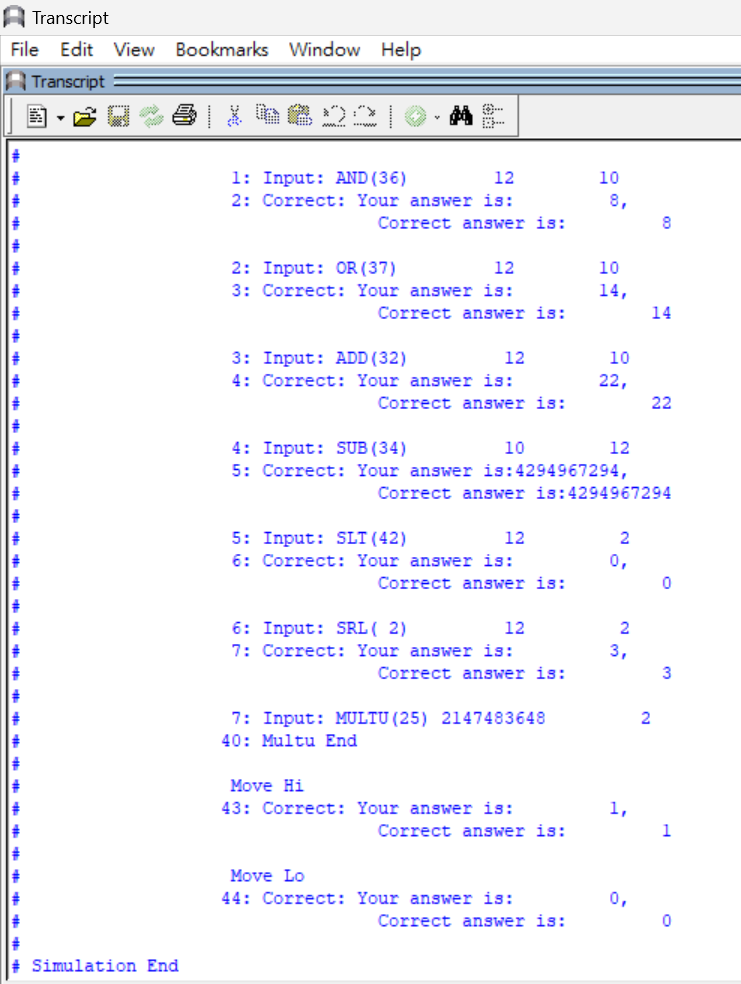
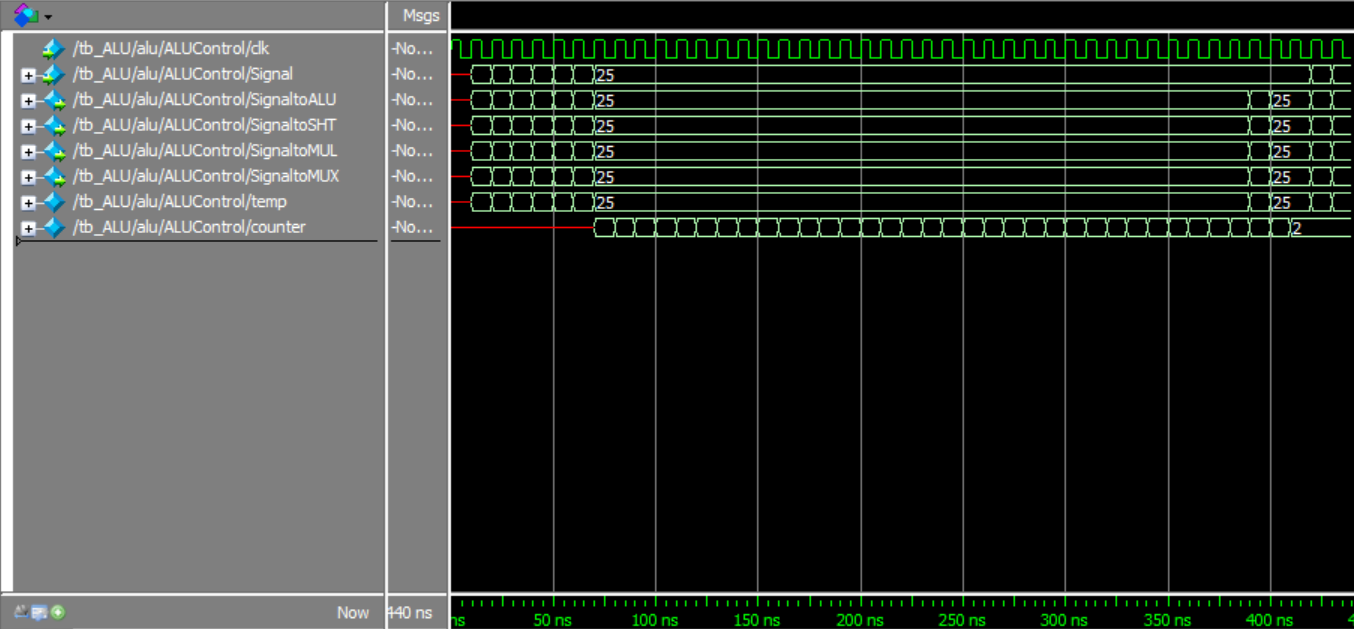
**(8) TotalLALU**

用來整合所有 module。

**(9)延遲(delay)**

除了Testbench可包含延遲，以作為 Clock 週期與 Reset之用外，其餘設計均不可有延遲(clk同步)。

**3.modelsim執行結果與討論**

* **waveform**
* **驗證結果**
* **ALU control**

|  |  |  |
| --- | --- | --- |
| Time | 訊號 | 運算 |
| 10ns~20ns | 36(AND) | data(12) & dataB(10) |
| 20ns~30ns | 37(OR) | data(12) | dataB(10) |
| 30ns~40ns | 32(ADD) | data(12) + dataB(10) |
| 40ns~50ns | 34(SUB) | data(10) - dataB(12) |
| 50ns~60ns | 42(SLT) | data(12) < dataB(2) |
| 60ns~70ns | 02(SRL) | data(12)向右位移dataB(2) |
| 70ns~440ns | 25(MULTU) | data(2147483648) \* dataB(2) |

* **結論**

這次的project整合了第三章的內容，從利用之前學的邏輯閘，組合成4to1多工器，再利用barrel shifter來實現右移的功能，最後再做乘法器。一步步地把一個一個小功能建立起來再把他們整個整合在一起，做出了一個具有基本運算功能的ALU，讓我們了解電腦的計算方式。

**4.心得感想**

這次project雖然和電子實驗一樣都是用verilog來寫，最基本的1bit加法器電子實驗也寫過，但因為老師有規定不能直接用operator所以必須用邏輯閘的概念來做，雖然考試的時候都有考過那些邏輯閘要如何組成，但因為沒有真正實做過，所以一開始腦袋會有點轉不過來。因為老師規定了很多語法不能用，所以一開始真的有點迷茫，可是當寫出一個模組後就更熟悉語法該如何使用，就有種熟能生巧的感覺!但把一個一個模組寫完不代表真的寫完了，還要注意接線有沒有接對，即便編譯過了也不一定可以模擬，modelsim也不會告訴我們哪裡接錯了必須要自己找，所以在寫得當下必須要很細心。

**5.分工**

11027140 陳芃睿 11027147邱峻彥:撰寫程式碼

11027112 陳逸駿 11027149游婕歆:書面報告